

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    9 月 2 4 日  
Date of Application:

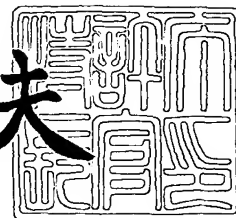
出 願 番 号            特 願 2 0 0 2 - 2 7 7 2 9 8  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 2 7 7 2 9 8 ]

出      願      人            ローム株式会社  
Applicant(s):

2 0 0 3 年    8 月 1 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 6 4 4 4 5

【書類名】 特許願

【整理番号】 PR000660

【提出日】 平成14年 9月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/12

【発明の名称】 DMA コントローラ

【請求項の数】 1

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 稲田 洋文

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 三浦 弘

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113515

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DMA コントローラ

【特許請求の範囲】

【請求項 1】 実行中の DMA 転送の転送条件を記憶しておくための動作用レジスタと、

その次に実行する DMA 転送の転送条件を記憶しておくための設定用レジスタと、

DMA 転送の転送条件を他の記憶手段から前記設定用レジスタに DMA 転送するための転送条件を記憶している設定実行用レジスタと、

前記設定用レジスタと前記設定実行用レジスタとを択一的に選択する選択手段と、

該選択手段によって選択されるレジスタが DMA 転送が終了する毎に交互に切り替わるように制御する選択制御手段と、

DMA 転送を開始するにあたって前記選択手段によって選択されているレジスタに記憶されているデータが前記動作用レジスタに書き込まれるように制御する動作用レジスタ制御手段と、

前記動作用レジスタに記憶されているデータに基づいて DMA 転送を実行する転送実行手段と、

を備えたことを特徴とする DMA コントローラ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、CPU（中央処理装置）を介することなく周辺装置間で行われるデータ転送を制御する DMA コントローラに関するものである。

【 0 0 0 2 】

【従来の技術】

DMA コントローラは、周辺装置からデータ転送の要求を受けると、システムバスの使用权を要求し、システムバスの使用权が認可されると、予め設定された転送元から転送先へのデータ転送を開始するようになっている。そして、DMA

コントローラの制御によるデータ転送（以下、「DMA転送」と称する）では、CPUの制御によるデータ転送とは違って、命令のリード及び解読が必要ないので、データの転送速度を高速にすることが可能となる。

#### 【0003】

従来のDMAコントローラでは、まず、CPUがDMA転送の転送条件（DMA転送を実行するために必要な転送元のアドレス、転送先のアドレス、転送するデータの量など）を適切な設定用レジスタに書き込み、その後、周辺装置からデータ転送の要求を受けると、設定用レジスタに書き込まれている内容に従ってDMA転送を実行するようになっていた。

#### 【0004】

##### 【特許文献1】

特開平7-306825号公報

#### 【0005】

##### 【発明が解決しようとする課題】

このため、DMA転送が実行中の場合、そのDMA転送が終了するまでの間、新たなDMA転送を設定することができなかった。したがって、CPUは、実行中のDMA転送が終了する毎に、DMA転送終了の割り込みを受け取り、次のDMA転送を設定する必要があった。この割り込み処理は、レジスタ退避などの処理が必要であるため、CPUに対する負荷が重くなり、システム全体のパフォーマンスを落とすという問題があった。

#### 【0006】

そこで、本発明は、DMA転送の設定に割かれるCPUの処理時間、及び、CPUの負荷を低減させることができるようにしたDMAコントローラを提供することを目的とする。

#### 【0007】

##### 【課題を解決するための手段】

上記の目的を達成するため、本発明のDMAコントローラでは、実行中のDMA転送の転送条件を記憶しておくための動作レジスタと、その次に実行するDMA転送の転送条件を記憶しておくための設定用レジスタ

と、

DMA転送の転送条件を他の記憶手段から前記設定用レジスタにDMA転送するための転送条件を記憶している設定実行用レジスタと、

前記設定用レジスタと前記設定実行用レジスタとを択一的に選択する選択手段と、

該選択手段によって選択されるレジスタがDMA転送が終了する毎に交互に切り替わるように制御する選択制御手段と、

DMA転送を開始するにあたって前記選択手段によって選択されているレジスタに記憶されているデータが前記動作用レジスタに書き込まれるように制御する動作用レジスタ制御手段と、

前記動作用レジスタに記憶されているデータに基づいてDMA転送を実行する転送実行手段と、  
を備えている。

#### 【0008】

このように、従来の設定用レジスタを2重化することにより、DMA転送の転送条件を他の記憶手段からDMAコントローラにDMA転送するという動作と、他の記憶手段からDMAコントローラにDMA転送されたDMA転送の転送条件に基づいてDMA転送を行うという動作とが交互に行われるので、CPUは、他の記憶手段にDMA転送の転送条件を書き込むことによってDMA転送の設定を行うことができるようになる。

#### 【0009】

##### 【発明の実施の形態】

以下に、本発明の実施形態を図面を参照しながら説明する。本発明の第1実施形態であるDMAコントローラのブロック図を図1に示す。第1実施形態のDMAコントローラでは、DMA転送の転送条件である、転送元先頭アドレス、転送先先頭アドレス、転送量のそれぞれに対して、動作用レジスタ、設定用レジスタ、設定実行用レジスタを用意している。

#### 【0010】

C\_\_SRCレジスタ8は転送元先頭アドレスの動作用レジスタ、SRCレジス

タ5は転送元先頭アドレスの設定用レジスタ、RLD\_SRCレジスタ6は転送元先頭アドレスの設定実行用レジスタ、マルチプレクサ7はSRCレジスタ5とRLD\_SRCレジスタ6とを択一的に選択する選択手段である。

#### 【0011】

C\_DSTレジスタ13は転送先先頭アドレスの動作用レジスタ、DSTレジスタ10は転送先先頭アドレスの設定用レジスタ、RLD\_DSTレジスタ11は転送先先頭アドレスの設定実行用レジスタ、マルチプレクサ12はDSTレジスタ10とRLD\_DSTレジスタ11とを択一的に選択する選択手段である。

#### 【0012】

C\_QNTレジスタ18は転送量の動作用レジスタ、QNTレジスタ15は転送量の設定用レジスタ、RLD\_QNTレジスタ16は転送量の設定実行用レジスタ、マルチプレクサ17はQNTレジスタ15とRLD\_QNTレジスタ16とを択一的に選択する選択手段である。

#### 【0013】

また、DMA転送を制御するCTL（コントロール）レジスタ20と、レジスタコントローラ21、シーケンサ22、及び、バス調停回路23を備えている。CTLレジスタ20は主にDMA転送を許可する／しないを示すENBビット（ENBビット＝1なら許可）と、DMA転送の転送条件を記憶装置（図1ではRAM3）からDMA転送終了後、次のDMA転送の転送条件を自動で取得させるかさせないかを決定するRLD\_ENBビット（RLD\_ENBビット＝1なら他の記憶装置から転送条件を自動取得させる）から成る。

#### 【0014】

次に、第1実施形態のDMAコントローラの動作について説明する。今、転送条件の異なるDMA転送を2回実行させるとする。まず、CPUが図1のRAM3に2回のDMA転送の転送条件を書き込む。その結果、RAM3の内容が図2に示すようになったとする。

#### 【0015】

すなわち、RAM3のアドレス1000（Hex）に2回目のDMA転送の転送条件が書き込まれているRAM3の最初のアドレスが、アドレス1001（Hex

）に 1 回目の DMA 転送の転送元先頭アドレス SA1 が、アドレス 1002 (Hex) に 1 回目の DMA 転送の転送先先頭アドレス DA1 が、アドレス 1003 (Hex) に 1 回目の DMA 転送の転送量 BYTE1 が、アドレス 1004 (Hex) に 1 回目の DMA 転送の終了後の CTL レジスタ 20 の内容 (ENB ビット = 1、RLD\_ENB ビット = 1) が、1 回目の DMA 転送の転送条件 # 1 として書き込まれたものとする。

#### 【0016】

また、RAM3 のアドレス 2000 (Hex) に任意の値が (なぜなら、DMA 転送は 2 回だけだから)、アドレス 2001 (Hex) に 2 回目の DMA 転送の転送元先頭アドレス SA2 が、アドレス 2002 (Hex) に 2 回目の DMA 転送の転送先先頭アドレス DA2 が、アドレス 2003 (Hex) に 2 回目の DMA 転送の転送量 BYTE2 が、アドレス 2004 (Hex) に 1 回目の DMA 転送の終了後の CTL レジスタ 20 の内容 (ENB ビット = 0、RLD\_ENB ビット = 0) が、2 回目の DMA 転送の転送条件 # 2 として書き込まれたものとする。

#### 【0017】

そして、CPU が設定実行用の各レジスタに適切な値を書き込む。具体的には、RLD\_SRC レジスタ 6 には、1 回目の DMA 転送の転送条件が書き込まれている RAM3 の最初のアドレス 1000 (Hex) を書き込む。RLD\_DST レジスタ 11 には、RLD\_SRC レジスタ 6 のアドレスを書き込む。RLD\_QNT レジスタ 16 には、5 を書き込む (なぜなら、DMA 転送の転送条件を RAM3 から取得するためには 5 回の DMA 転送が必要だから)。

#### 【0018】

また、CPU が DMA コントローラの CTL レジスタ 20 にアクセスし、ENB ビット = 1、RLD\_ENB ビット = 1 と書き込む。このとき、DMA コントローラでは、図 3 に示すように、ENB ビット、RLD\_ENB ビット、及び、前の動作に応じてマルチプレクサ 7、12、17 によってそれぞれ選択されるレジスタを切り替えてから、C\_SRC レジスタ 6、C\_DST レジスタ 11、C\_QNT レジスタ 16 の値をそれぞれマルチプレクサ 7、12、17 によって選択されているレジスタの値で更新した後に、シーケンサ 22 が C\_SRC レジス

タ 8、C\_\_DSTレジスタ 13、及び、C\_\_QNTレジスタ 18 に従って DMA 転送を開始する。

#### 【0019】

今の場合、ENBビット=1、RLD\_\_ENBビット=1であるとともに、前の動作がリロード（RAM3からDMA転送の転送条件を自動で取得するという動作）ではないので、マルチプレクサ7ではRLD\_\_SRCレジスタ6が、マルチプレクサ12ではRLD\_\_DSTレジスタ11が、マルチプレクサ17ではRLD\_\_QNTレジスタ16が、それぞれ選択される。したがって、シーケンサ22は、RLD\_\_SRCレジスタ6、RLD\_\_DSTレジスタ11、及び、RLD\_\_QNTレジスタ16の値を初期値としてDMA転送を実行することになる。

#### 【0020】

この時点では、DMAコントローラの各レジスタの内容は図4の（1）に示すようになっているので、RAM3のアドレス1000（Hex）に格納されている値2000（Hex）がRLD\_\_SRCレジスタ6に、RAM3のアドレス1001（Hex）に格納されている値SA1がSRCレジスタ5に、RAM3のアドレス1002（Hex）に格納されている値DA1がDSTレジスタ10に、RAM3のアドレス1003（Hex）に格納されている値BYTE1がQNTレジスタ15に、RAM3のアドレス1004（Hex）に格納されているデータ（ENBビット=1、RLD\_\_ENBビット=1）がCTLレジスタ20に、順次DMA転送されて格納される。すなわち、1回目のDMA転送の転送条件#1がRAM3からDMAコントローラに自動的に取得される。この時点でDMAコントローラの各レジスタの内容は図4の（2）に示すようになる。

#### 【0021】

この後、DMAリクエストが発生すると、DMAコントローラでは、図3に示すように、ENBビット、RLD\_\_ENBビット、及び、前の動作に応じてマルチプレクサ7、12、17によってそれぞれ選択されるレジスタを切り替えてから、C\_\_SRCレジスタ8、C\_\_DSTレジスタ13、C\_\_QNTレジスタ18の値をそれぞれマルチプレクサ7、12、17によって選択されているレジスタの値で更新した後に、シーケンサ22がC\_\_SRCレジスタ8、C\_\_DSTレジ

スタ 13、及び、C\_QNTレジスタ 18に従ってDMA転送を開始する。

#### 【0022】

今の場合、ENBビット=1、RLD\_ENBビット=1であるとともに、前の動作がリロードであるので、マルチプレクサ7ではSRCレジスタ5が、マルチプレクサ12ではDSTレジスタ10が、マルチプレクサ17ではQNTレジスタ15が、それぞれ選択される。したがって、シーケンサ22は、SRCレジスタ5、DSTレジスタ10、及び、QNTレジスタ15の値を初期値としてDMA転送を実行することになる。これにより、1回目のDMA転送が実行される。

#### 【0023】

このDMA転送が終了すると、DMAコントローラでは、図3に示すように、ENBビット、RLD\_ENBビット、及び、前の動作に応じてマルチプレクサ7、12、17によってそれぞれ選択されるレジスタを切り替えてから、C\_SRCレジスタ8、C\_DSTレジスタ13、C\_QNTレジスタ18の値をそれぞれマルチプレクサ7、12、17によって選択されているレジスタの値で更新した後に、シーケンサ22がC\_SRCレジスタ8、C\_DSTレジスタ13、及び、C\_QNTレジスタ18に従ってDMA転送を開始する。

#### 【0024】

今の場合、ENBビット=1、RLD\_ENBビット=1であるとともに、前の動作がリロードではないので、マルチプレクサ7ではRLD\_SRCレジスタ6が、マルチプレクサ12ではRLD\_DSTレジスタ11が、マルチプレクサ17ではRLD\_QNTレジスタ16が、それぞれ選択される。したがって、シーケンサ22は、RLD\_SRCレジスタ6、RLD\_DSTレジスタ11、及び、RLD\_QNTレジスタ16の値を初期値としてDMA転送を実行することになる。

#### 【0025】

これにより、この時点でのDMAコントローラの各レジスタの内容は図4の(2)に示すようになっていることから、RAM3のアドレス2000 (Hex)に格納されている値がRLD\_SRCレジスタ6に、RAM3のアドレス2001

(Hex) に格納されている値 S A 2 が S R C レジスタ 5 に、R A M 3 のアドレス 2 0 0 2 (Hex) に格納されている値 D A 2 が D S T レジスタ 1 0 に、R A M 3 のアドレス 2 0 0 3 (Hex) に格納されている値 B Y T E 2 が Q N T レジスタ 1 5 に、R A M 3 のアドレス 2 0 0 4 (Hex) に格納されているデータ (E N B ビット = 1、R L D \_ E N B ビット = 0) が C T L レジスタ 2 0 に、順次 DMA 転送されて格納される。すなわち、2 回目の DMA 転送の転送条件 # 2 が R A M 3 から DMA コントローラに自動的に取得される。この時点で DMA コントローラの各レジスタの内容は図 4 の (3) に示すようになる。

#### 【0026】

この後、DMA リクエストが発生すると、図 3 に示すように、E N B ビット、R L D \_ E N B ビット、及び、前の動作に応じてマルチプレクサ 7、1 2、及び、1 7 での選択の切り替えてから、C \_ S R C レジスタ 8、C \_ D S T レジスタ 1 3、C \_ Q N T レジスタ 1 8 の更新が行った後に、シーケンサ 2 2 が DMA 転送を開始する。

#### 【0027】

今の場合、E N B ビット = 1、R L D \_ E N B ビット = 0 であるので、マルチプレクサ 7 では S R C レジスタ 5 が、マルチプレクサ 1 2 では D S T レジスタ 1 0 が、マルチプレクサ 1 7 では Q N T レジスタ 1 5 が、それぞれ選択される。したがって、シーケンサ 2 2 は、S R C レジスタ 5、D S T レジスタ 1 0、及び、Q N T レジスタ 1 5 の値を初期値として DMA 転送を実行することになる。これにより、2 回目の DMA 転送が実行される。

#### 【0028】

このように、C P U は、実行したい DMA 転送の転送条件を R A M 3 に書き込み、DMA コントローラの C T L レジスタにおいて E N B ビット = 1、R L D \_ E N B ビット = 1 としておけば、DMA 転送が終了すると次の DMA 転送の転送条件が R A M 3 から DMA コントローラに自動的に取得されるという動作と、取得された転送条件に基づいて DMA 転送を実行されるという動作とが交互に繰り返される。

#### 【0029】

本発明の第2実施形態であるDMAコントローラは、そのブロック図を図5に示すように、調停回路1、並びに、4つのDMAチャンネル2-1、2-2、2-3、及び、2-4を備えている。

#### 【0030】

各DMAチャンネル2-1、2-2、2-3、2-4は、その回路構成を図6に示すように、シーケンサ201、レジスタコントローラ202、CTLレジスタ203、SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、SETレジスタ208、SRCカウンタ209、DSTカウンタ210、TMP\_\_CYCレジスタ211、CYCカウンタ212、TRNカウンタ213、CUR\_\_SETレジスタ214、RLD\_\_SRCレジスタ215、RLD\_\_DSTレジスタ216、RLD\_\_CYCレジスタ217、RLD\_\_TRNレジスタ218、RLD\_\_SETレジスタ219、並びに、マルチプレクサ220、221、222、223、及び、224を備えている。

#### 【0031】

調停回路1は、システムバス300の使用権の調停、シーケンサ201の制御等を行う。各DMAチャンネル2-1、2-2、2-3、2-4では、シーケンサ201が、調停回路1による制御の下で、CTLレジスタ203、SRCカウンタ209、DSTカウンタ210、CYCカウンタ212、CUR\_\_SETレジスタ214の内容、及び、レジスタコントローラ202内のレジスタ（不図示）の内容に基づいてDMA転送を実行する。尚、調停回路1は、マルチプレクサ220、221、222、223、及び、224での選択を制御するためのreadビットを有するレジスタを備えている。

#### 【0032】

レジスタコントローラ202は、シーケンサ201からの指示、並びに、CTLレジスタ203、CYCカウンタ212、TRNカウンタ213、CUR\_\_SETレジスタ214、及び、自身のレジスタの内容に基づいて、SRCカウンタ209、DSTカウンタ210、TMP\_\_CYCレジスタ211、CYCカウンタ212、TRNカウンタ213、及び、CUR\_\_SETレジスタ214の動作の制御、並びに、内部のレジスタの書き換えを行う。尚、レジスタコントローラ

2 0 2 の内部のレジスタには、DMA 転送が終了したか否かを示すための E O P \_\_ O ビットが有る。

#### 【 0 0 3 3 】

C T L レジスタ 2 0 3 には、DMA 転送の実行が許可されているか否かを示すための E N B ビット、DMA 転送が中断されたか否かを示すための R E S U M ビット、動作モードを示すための M O D 1 ビット及び M O D 0 ビット、DMA 転送をソフトウェアで開始させるための S / W \_\_ S T A R T ビット、DMA 転送が終了したときにその旨を割り込み信号を用いて C P U に通知するか否かを示すための C E P E ビット、次の DMA 転送が終了したときにその旨を割り込み信号を用いて C P U に通知するか否かを示すための N E P E ビットなどから成り、DMA 転送を制御するための情報が書き込まれる。S R C レジスタ 2 0 4、D S T レジスタ 2 0 5、C Y C レジスタ 2 0 6、T R N レジスタ 2 0 7、及び、S E T レジスタ 2 0 8 には、DMA 転送の転送条件が書き込まれる。

#### 【 0 0 3 4 】

具体的には、S R C レジスタ 2 0 4 には、データの転送元の領域（データを読み出す領域）の先頭のアドレスが書き込まれる。D S T レジスタ 2 0 5 には、データの転送先の領域（データを書き込む領域）の先頭のアドレスが書き込まれる。C Y C レジスタ 2 0 6 には、1 回の DMA 転送におけるサイクル数（尚、1 サイクルは、1 回読み出して 1 回書き込むという動作である）に応じた値が書き込まれる。T R N レジスタ 2 0 7 には、DMA 転送を行う回数に応じた値が書き込まれる。S E T レジスタ 2 0 8 には、DMA 転送に関するその他の情報（1 サイクルで転送するデータのサイズ、転送元アドレス及び転送先アドレスを 1 サイクル毎に更新する／しないなど）が書き込まれる。

#### 【 0 0 3 5 】

さて、本第 2 実施形態の DMA コントローラでは、後述するように、DMA 転送を実行するにあたって、その転送条件を R A M 4 0 0 から自身に DMA 転送するモード（リロードモード）が存在する。C P U は、このリロードモードを用いて DMA 転送を実行させるときには、図 7 に一例を示すように、実行させたい各 DMA 転送毎に、当該 DMA 転送の次に実行させたい DMA 転送の転送条件が書

き込まれている R A M 4 0 0 内の先頭のアドレス、並びに、当該 D M A 転送の転送条件（転送元先頭アドレスを示す情報、転送先先頭アドレスを示す情報、1 回の D M A 転送で行うサイクル数を示す情報、D M A 転送を行う回数を示す情報、その他の情報、及び、制御情報）を、R A M 4 0 0 の連続した領域に書き込むようになっている。尚、図 7 は 2 つの D M A 転送を設定した場合のものである。

#### 【 0 0 3 6 】

R L D \_ S R C レジスタ 2 1 5 は、D M A 転送の転送条件が書き込まれている R A M 4 0 0 内の先頭アドレスを C P U が書き込むためのものである。R L D \_ D S T レジスタ 2 1 6、R L D \_ C Y C レジスタ 2 1 7、R L D \_ T R N レジスタ 2 1 8、及び、R L D \_ S E T レジスタ 2 1 9 には、D M A 転送の転送条件を R A M 4 0 0 から D M A チャンネルの設定用レジスタ群（S R C レジスタ 2 0 4、D S T レジスタ 2 0 5、C Y C レジスタ 2 0 6、T R N レジスタ 2 0 7、及び、S E T レジスタ 2 0 8）に D M A 転送するための転送条件が書き込まれている。

#### 【 0 0 3 7 】

マルチプレクサ 2 2 0 は、S R C レジスタ 2 0 4 に保持されているデータと R L D \_ S R C レジスタ 2 1 5 に保持されているデータとのどちらか一方をシーケンサ 2 0 1 からの指示に応じて選択する。マルチプレクサ 2 2 0 で選択されたデータは S R C カウンタ 2 0 9 に与えられている。

#### 【 0 0 3 8 】

マルチプレクサ 2 2 1 は、D S T レジスタ 2 0 5 に保持されているデータと R L D \_ D S T レジスタ 2 1 6 に保持されているデータとのどちらか一方をシーケンサ 2 0 1 からの指示に応じて選択する。マルチプレクサ 2 2 1 で選択されたデータは D S T カウンタ 2 1 0 に与えられている。

#### 【 0 0 3 9 】

マルチプレクサ 2 2 2 は、C Y C レジスタ 2 0 6 に保持されているデータと R L D \_ C Y C レジスタ 2 1 7 に保持されているデータとのどちらか一方をシーケンサ 2 0 1 からの指示に応じて選択する。マルチプレクサ 2 2 2 で選択されたデ

ータはTMP\_CYCレジスタ211及びCYCカウンタ212に与えられている。尚、CYCカウンタ212には、TMP\_CYCレジスタ211に保持されているデータも与えられている。

#### 【0040】

マルチプレクサ223は、TRNレジスタ207に保持されているデータとRLD\_TRNレジスタ218に保持されているデータとのどちらか一方をシーケンサ201からの指示に応じて選択する。マルチプレクサ223で選択されたデータはTRNカウンタ213に与えられている。

#### 【0041】

マルチプレクサ224は、TRNレジスタ208に保持されているデータとRLD\_TRNレジスタ219に保持されているデータとのどちらか一方をシーケンサ201からの指示に応じて選択する。マルチプレクサ224で選択されたデータはCUR\_SETレジスタ214に与えられている。

#### 【0042】

調停回路1の具体的な動作について説明する。入力信号DMA\_REQ<sub>x</sub> (x = 1、2、3、または、4) がアサートされると、DMAチャンネル2-xに対してDMA転送が要求されたと認識する。また、DMA転送待ちのチャンネル (DMA転送が要求されたが、まだ、DMA転送を実行していないチャンネル) があれば、システムバスの使用权を要求する (具体的には、出力信号BUS\_REQをアサートさせる)。

#### 【0043】

また、システムバスの使用权が認可されると (具体的には、入力信号BUS\_ACKがアサートされると)、DMA転送待ちのチャンネルのうちの最も優先度が高いチャンネルのシーケンサ201へのスタート信号をアサートさせる。また、システムバスの使用权が取り下げられると (具体的には、入力信号BUS\_ACKがネゲートされると)、シーケンサ201へのスタート信号をネゲートさせる。

#### 【0044】

また、バスコントローラ (不図示) からDMA待機命令が発行される (具体的

には、入力信号DMA\_\_WA I Tがアサートされる）と、各DMAチャンネル2-1、2-2、2-3、2-4のシーケンサ201へのウェイト信号をアサートさせる。また、DMA待機命令が解除される（具体的には、入力信号DMA\_\_WA I Tがネゲートされる）と、シーケンサ201へのウェイト信号をネゲートさせる。

#### 【0045】

尚、バスコントローラは、DMAコントローラがアクセスしたアドレスに対するデータの読み出しあるいは書き込みが完了する前に次の動作に移行しないように、DMAコントローラがアクセスしたアドレスに応じて信号DMA\_\_WA I Tを制御するようになっている。

#### 【0046】

また、DMAチャンネルのシーケンサ201からCYCカウンタ212にアンダーフローが発生した旨の通知を受けると、そのシーケンサ201へのスタート信号をネゲートさせ、その後、DMA転送待ちのチャンネルがある場合には、システムバスの使用权が認可されていれば、そのうちの優先度が最も高いチャンネルのシーケンサ201へのスタート信号をアサートさせ、一方、DMA転送待ちのチャンネルがない場合には、システムバスを解放する（具体的には、出力信号BUS\_\_REQをネゲートさせる）。尚、システムバスを解放すると、システムバスの使用权が取り下げられるようになっている。

#### 【0047】

また、DMAチャンネルのシーケンサ201からDMA転送が終了した旨の通知を受けると、そのシーケンサ201へのスタート信号をネゲートさせるとともに、システムバスを解放する。

#### 【0048】

DMAチャンネルのシーケンサ201の動作を図8及び図9に示すフローチャートを用いて説明する。まず、CTLレジスタ203のENBビットが1であるか否かを判定する（#101）。ENBビットが1であれば（#101のY）、#102へ移行する。CTLレジスタ203のENBビットはDMA転送が許可されているか否か示すためのビットであり、このビットが1であれば、DMA転

送が許可されていることを意味する。

#### 【0049】

尚、CPUは、使用中でないチャンネルに対して、DMA転送の設定を終えると、すなわち、CTLレジスタ203、SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、及び、SETレジスタ208にDMA転送の転送条件を書き込むと、CTLレジスタ203のENBビットを1にセットするようになっている。

#### 【0050】

#102では、CTLレジスタ203のRESUMビットが1、MOD1ビットが1、MOD0ビットが0、かつ、レジスタコントローラ202内のレジスタのEOP\_\_Oビットが1であるか否かを判定する。#102での判定結果が肯定であれば（#102のY）、前述した#101へ移行し、一方、否定であれば（#102のN）、#103へ移行する。

#### 【0051】

尚、CPUは、CTLレジスタ203のENBビットを0にセットすることによりDMA転送を中断させ、その後、ENBビットを1にセットすることによりDMA転送を再開させるに先立って、CTLレジスタ203のRESUMビットを1にセットするようになっている。すなわち、CTLレジスタ203のRESUMビットはDMA転送が中断されたか否かを示すためのビットであり、このビットが1であれば、DMA転送が中断されたことを意味する。

#### 【0052】

また、CTLレジスタ203のMOD1ビット及びMOD0ビットはDMA転送のモードを指定するためのビットである。レジスタコントローラ202内のレジスタのEOP\_\_OビットはDMA転送が終了したか否かを示すためのビットであり、このビットが1であれば、DMA転送が終了したことを意味する。

#### 【0053】

#103では、CTLレジスタ203のS/W\_\_STARTビットが1、かつ、MOD1ビット、MOD0ビットが共に1であるか否かを判定する。#103での判定結果が肯定であれば（#103のY）、自身のレジスタのreload

ビットを1にセットし(#104)、その後、#106へ移行する。一方、#103での判定結果が否定であれば(#103のN)、reloadビットを0にセットし(#105)、その後、#106へ移行する。

#### 【0054】

尚、reloadビットに応じてマルチプレクサ220、221、222、223、及び、224での選択が切り換わるようになっている。具体的には、マルチプレクサ220、221、222、223、224は、reloadビットが0であるときには、それぞれSRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、SETレジスタ208に保持されているデータを選択し、一方、reloadビットが1であるときには、それぞれRLD\_SRCレジスタ215、RLD\_DSTレジスタ216、RLD\_CYCレジスタ217、RLD\_TRNレジスタ218、RLD\_SETレジスタ219に保持されているデータを選択するようになっている。

#### 【0055】

#106では、アイドル状態からロード&ウェイト状態に遷移する旨をレジスタコントローラ202に通知する。#106を終えると、CTLレジスタ203のENBビットが1であるか否かを判定する(#107)。ENBビットが1であれば(#107のY)、#108へ移行し、一方、ENBビットが1でなければ(#107のN)、前述した#101へ移行する。

#### 【0056】

#108では、調停回路1からのスタート信号がアサートされているか否かを判定する。スタート信号がアサートされていれば(#108のY)、後述する#110へ移行し、一方、スタート信号がアサートされていなければ(#108のN)、#109へ移行する。

#### 【0057】

#109では、CTLレジスタ203のS/W\_STARTビットが1であるか否かを判定する。S/W\_STARTビットが1であれば(#109のY)、#110へ移行し、一方、S/W\_STARTビットが1でなければ(#109のN)、前述した#107へ移行する。

## 【0058】

#110では、SRCカウンタ209の値に対応するアドレスからデータを自身のバッファに読み込む。#110を終えると、調停回路1からのウェイト信号がアサートされているか否かを判定し(#111)、ウェイト信号がアサートされていないければ(#111のN)、#112へ移行する。

## 【0059】

#112では、リード状態からライト状態に遷移する旨をレジスタコントローラ202に通知する。#112を終えると、#109で読み込んだデータをDSTカウンタ210の値に対応するアドレスに書き込む(#113)。次に、ウェイト信号がアサートされているか否かを判定し(#114)、ウェイト信号がアサートされていないければ(#114のN)、#116へ移行する。

## 【0060】

#116では、レジスタコントローラ202内のレジスタのEOP\_\_Oビットが1であるか否かを判定する。EOP\_\_Oビットが1であれば(#116のY)、DMA転送が終了した旨を調停回路1に通知する(#117)。一方、EOP\_\_Oビットが1でなければ(#116のN)、後述する#132へ移行する。

## 【0061】

#117を終えると、CTLレジスタ203のCEPEビットが1であるか否かを判定する(#118)。CEPEビットが1であれば(#118のY)、割り込み信号を用いてDMA転送が終了した旨をCPUに通知し(#119)、その後、#120へ移行する。一方、CEPEビットが1でなければ(#118のN)、#119を行うことなく、#120へ移行する。

## 【0062】

#120では、CTLレジスタ203のMOD1ビット、MOD0ビットが共に0であるか否かを判定する。#120での判定結果が肯定であれば(#120のY)、CTLレジスタ203のENBビットに0をセットするとともに(#121)、ライト状態からアイドル状態に遷移する旨をレジスタコントローラ202に通知する(#122)。#122を終えると、前述した#101へ移行する。一方、#120での判定結果が否定であれば(#120のN)、#123へ移

行する。

#### 【0063】

#123では、CTLレジスタ203のMOD1ビット、MOD0ビットが共に1であるか否かを判定する。#123での判定結果が肯定であれば(#123のY)、#124へ移行し、一方、#123での判定結果が否定であれば(#123のN)、後述する#127へ移行する。

#### 【0064】

#124では、自身のレジスタのreloadビットを反転させる。#124を終えると、reloadビットが1であるか否かを判定する(#125)。reloadビットが1であれば(#125のY)、CTLレジスタ203のS/W\_STARTビットを1にセットし(#126)、その後、後述する#130へ移行する。一方、reloadビットが1でなければ(#125のN)、#126を行うことなく、後述する#130へ移行する。

#### 【0065】

#123での判定結果が否定であるとき(#123のN)に移行する#127では、自身のレジスタのreloadビットを0にセットする。#127を終えると、CTLレジスタ203のMOD1ビットが1、MOD0ビットが0であるか否かを判定する(#128)。

#### 【0066】

#128での判定結果が肯定であれば(#128のY)、MOD1ビット、MOD0ビットを共に0にセットし(#129)、その後、#130へ移行する。一方、#128での判定結果が否定であれば(#128のN)、#129を行うことなく、#130へ移行する。

#### 【0067】

#130では、CTLレジスタ203のCEPEビットの値をCTLレジスタ203のNEPEビットの値で更新する。#130を終えると、ライト状態からロード&ウェイト状態に遷移する旨をレジスタコントローラ202に通知し(#134)、その後、前述した#107へ移行する。

#### 【0068】

#116での判定結果が否定であるとき（#116のN）に移行する#132では、CYCカウンタ212にアンダーフローが発生しているか否かを判定する。CYCカウンタ212にアンダーフローが発生していれば（#132のY）、CYCカウンタ212にアンダーフローが発生した旨を調停回路1に通知する（#133）とともに、ライト状態からロード&ウェイト状態に遷移する旨をレジスタコントローラ202に通知する（#134）。#134を終えると、前述した#107へ移行する。

#### 【0069】

一方、CYCカウンタ212にアンダーフローが発生していなければ（#132のN）、ライト状態からリード状態に遷移する旨をレジスタコントローラ202に通知する（#135）。#135を終えると、前述した#107へ移行する。

#### 【0070】

レジスタコントローラ202の動作を図10及び図11に示すフローチャートを用いて説明する。レジスタコントローラ202は、シーケンサ201からの状態遷移の通知を監視している（#201、#205、#213、及び、#214）。

#### 【0071】

まず、アイドル状態からロード&ウェイト状態に遷移する旨の通知をシーケンサ201から受けた場合について説明する。このときには、#201での判定結果が肯定になり（#201のY）、自身のレジスタのEOP\_\_Oビットが1、または、CTLレジスタ203のRESUMビットが0であるか否かを判定する（#202）。

#### 【0072】

#202での判定結果が肯定であれば（#202のY）、SRCカウンタ209のデータをマルチプレクサ220から与えられるデータで、DSTカウンタ210のデータをマルチプレクサ221から与えられるデータで、TMP\_\_CYCレジスタ211及びCYCカウンタ212のデータをマルチプレクサ222から与えられるデータで、TRNカウンタ213のデータをマルチプレクサ223か

ら与えられるデータで、CUR\_\_SETレジスタ214のデータをマルチプレクサ224から与えられるデータで、それぞれ更新する(#203)。#203を終えると、自身のレジスタのEOP\_\_Oビットを0にセットする(#204)。

#### 【0073】

次に、リード状態からライト状態に遷移する旨の通知をシーケンサ201から受けた場合について説明する。このときには、#205での判定結果が肯定になり(#205のY)、CUR\_\_SETレジスタ214のDSDIRビットが1であるか否かを判定する(#206)。

#### 【0074】

DSDIRビットが1であれば(#206のY)、SRCカウンタ209の値を1だけインクリメントさせ(#207)、その後、#208へ移行する。一方、DSDIRビットが1でなければ(#206のN)、#207を行うことなく、#208へ移行する。

#### 【0075】

#208では、CYCカウンタ212の値を1だけデクリメントさせる。#208を終えると、CYCカウンタ212にアンダーフローが発生しているか否かを判定する(#209)。CYCカウンタ212にアンダーフローが発生していれば(#209のY)、TRNカウンタ213の値が0であるか否かを判定する(#210)。

#### 【0076】

TRNカウンタ213の値が0でなければ(#210のN)、TRNカウンタ213の値を1だけデクリメントさせる(#211)。一方、TRNカウンタ213の値が0であれば(#210のY)、自身のレジスタのEOP\_\_Oビットを1にセットする(#212)。

#### 【0077】

次に、ライト状態からアイドル状態に遷移する旨の通知、または、ライト状態からリード状態に遷移する旨の通知をシーケンサ201から受けた場合について説明する。このときには、#213での判定結果が肯定になり(#213のY)、CUR\_\_SETレジスタ214のDDDIRビットが1であるか否かを判定す

る (#218)。DDDIRビットが1であれば (#218のY)、DSTカウンタ210の値を1だけインクリメントさせる (#219)。

#### 【0078】

次に、ライト状態からロード&ウェイト状態に遷移する旨の通知をシーケンサ201から受けた場合について説明する。このときには、#214での判定結果が肯定になり (#214のY)、自身のレジスタのEOP\_\_Oビットが1であるか否かを判定する (#215)。

#### 【0079】

EOP\_\_Oビットが1であれば (#215のY)、SRCカウンタ209、DSTカウンタ210、TMP\_\_CYCレジスタ211及びCYCカウンタ212、TRNカウンタ213、CUR\_\_SETレジスタ214の値を、それぞれSRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、SETレジスタ208の値で更新するとともに (#203)、自身のレジスタのEOP\_\_Oビットを0にセットする (#204)。一方、EOP\_\_Oビットが1でなければ (#215のN)、CYCカウンタ212にアンダーフローが発生しているか否かを判定する (#216)。

#### 【0080】

CYCカウンタ212にアンダーフローが発生していれば (#216のY)、CYCカウンタ212の値をTMP\_\_CYCレジスタ211の値で更新し (#217)、その後、#218へ移行する。一方、CYCカウンタ212にアンダーフローが発生していなければ (#216のN)、#217を行うことなく、#218へ移行する。

#### 【0081】

#218では、CUR\_\_SETレジスタ214のDDDIRビットが1であるか否かを判定する。DDDIRビットが1であれば (#218のY)、DSTカウンタ210の値を1だけインクリメントさせる (#219)。

#### 【0082】

以上に述べたシーケンサ201及びレジスタコントローラ202の動作により、各DMAチャンネルでは、DMA転送を開始するにあたって、設定用レジスタ

群（SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、及び、SETレジスタ208）の値を動作レジスタ群（SRCカウンタ209、DSTカウンタ210、TMP\_CYCレジスタ211、CYCカウンタ212、TRNカウンタ213、及び、CUR\_SETレジスタ214）に書き込むとともに、動作レジスタ群の値に基づいてDMA転送を実行する。

#### 【0083】

したがって、DMA転送の転送条件を設定レジスタ群に書き込むことによって、使用中のDMAチャンネルに対してもDMA転送の設定を行うことができるようになる。これにより、あるタスクでDMA転送を行おうとしたときに、全てのDMAチャンネルが使用中であっても、DMA転送の終了を待つことなくDMA転送の設定を行うことができる可能性が生まれ、タスクスイッチング等によるCPUの処理時間の浪費を低減させることができる。

#### 【0084】

また、CTLレジスタ203のMOD1ビット及びMOD0ビットに応じて動作が以下のように異なる。DMA転送が終了したときに、MOD1ビット、MOD0ビットが共に0にセットされていれば、アイドル状態（DMA転送が禁止された状態）になる（以下、「ノーマルモード」と称する）。

#### 【0085】

DMA転送が終了したときに、MOD1ビットが0、MOD0ビットが1にそれぞれセットされていれば、ロード&ウエイト状態（動作レジスタ群の値を設定レジスタ群の値で更新してDMA転送が要求されるのを待っている状態）になるので、CPUの介在なしで次のDMA転送が開始される（以下、「オートリピートモード」と称する）。

#### 【0086】

DMA転送が終了したときに、MOD1ビットが1、MOD0ビットが0にそれぞれセットされていれば、MOD1ビット、MOD0ビットを共に0にセットしてからロード&ウエイト状態になるので、CPUの介在なしで次のDMA転送が開始されるが、そのDMA転送が終了すると、アイドル状態になる（以下、「

オートスタートモード」と称する)。

#### 【0 0 8 7】

したがって、CPUは、使用中でないDMAチャンネルに対してDMA転送を設定した場合にはノーマルモードに、設定したDMA転送が繰り返し行われるようにしたい場合にはオートリピートモードに、使用中のDMAチャンネルに対してDMA転送を設定した場合にはオートスタートモードに、それぞれDMAチャンネルの動作モードが切り換わるように、CTLレジスタ203のMOD1ビット及びMOD0ビットを書き換えればよい。

#### 【0 0 8 8】

また、DMA転送が実行可能になったとき (CTLレジスタ203のENBビットが1にセットされたとき) に、CTLレジスタ203のS/W\_STARTビットが1、MOD1ビット、MOD0ビットが共に1である場合には、DMA転送の転送条件をRAM400から設定用レジスタ群にDMA転送するための転送条件を設定実行用レジスタ群 (RLD\_SRCレジスタ215、RLD\_DSTレジスタ216、RLD\_CYCレジスタ217、RLD\_TRNレジスタ218、及び、RLD\_SETレジスタ219) から動作用レジスタ群に書き込んだ後に、動作用レジスタ群の値に基づいてDMA転送を実行するので、DMA転送の転送条件がRAM400から設定用レジスタ群にDMA転送される。その後、MOD1ビット、MOD0ビットが共に1である間は、DMA転送の転送条件をRAM400から設定用レジスタ群にDMA転送するという動作と、RAM400から設定用レジスタ群にDMA転送された転送条件に基づいてDMA転送を行うという動作とが交互に行われる (以下、「リロードモード」と称する)。

#### 【0 0 8 9】

このリロードモードにおいては、希望する全てのDMA転送を実行させるためには、それらの各DMA転送の転送条件を、一例として図7に示すように、RAM400に書き込んだ後に、CTLレジスタ203のS/W\_STARTビットを1に、MOD1ビット、MOD0ビットを共に1にそれぞれセットするとともに、最初のDMA転送の転送条件が記憶されているRAM400の先頭のアドレス (図7の場合には、20000000) をRLD\_SRCレジスタ215に書

き込んだ上で、CTLレジスタ203のENBビットを1にセットすればよく、複数のDMA転送を1度に設定することができるようになる。

#### 【0090】

したがって、CPUは、DMAチャンネルに対して複数のDMA転送を設定したいときにはリロードモードを使用することによって、DMA転送の設定に割かれる処理時間を低減させることができるようになる。

#### 【0091】

また、DMA転送が終了したときに、CTLレジスタ203のCEPEビットが0であれば、DMA転送が終了した旨を通知する割り込みをCPUに対して行わない。したがって、CPUは、次のDMA転送の設定を行ったときには、CEPEビットを0にセットしておけば、1つ前に設定したDMA転送が終了してもDMAコントローラから割り込みを受けないので、DMAコントローラからの無意味な割り込みがなくなり、その分だけ多くの時間を他の処理に費やすことができる。

#### 【0092】

尚、CPUは、システムバスの使用权を持っているときには、CTLレジスタ203の値を書き換えることによって、DMAチャンネルの動作モード、及び、DMA転送終了時の割り込みの有無をいつでも切り換えることができるので、状況の変化に容易に対応することができる。

#### 【0093】

その他には、CYCレジスタ206に設定された値を $p$ 、TRNレジスタ207に設定された値を $q$ とすると、DMA転送が要求される毎に $(p+1)$ サイクルのDMA転送を行い、その後、新たなDMA転送要求が発生するまで待機状態になる。そして、 $(q+1)$ 回目のDMA転送の要求に対してDMA転送を行った時点で動作を終了する。すなわち、 $(p+1)$ サイクルのDMA転送を $(q+1)$ 回行うことになる。

#### 【0094】

したがって、CPUは、AサイクルのDMA転送をB回だけ繰り返し行いたい場合、CYCレジスタ206の値を $A-1$ に、TRNレジスタの値を $B-1$ にそ

れぞれ設定するという作業を一度だけ行えばよく、これにより、CPUの負担が軽減するので、その分、システムの性能低下を抑制することができる。

#### 【0 0 9 5】

##### 【発明の効果】

以上説明したように、本発明のDMAコントローラによれば、DMA転送の転送条件を外部の記憶手段から自身にDMA転送するという動作と、外部の記憶手段から自身にDMA転送した転送条件に基づいてDMA転送を行うという動作とが交互に行われるので、外部の記憶手段にDMA転送の転送条件を書き込むことによってDMA転送の設定を行うことができるようになる。これにより、複数のDMA転送を1度に設定することができるようになり、DMA転送の設定に割かれるCPUの処理時間を低減させることができる。

##### 【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態であるDMAコントローラのブロック図である。

【図 2】 RAMに格納されたDMA転送の転送条件の一例を示す図である。

【図 3】 第 1 実施形態であるDMAコントローラの動作を説明するための図である。

【図 4】 第 1 実施形態のDMAコントローラにおいて各レジスタに格納されている値の一例を示す図である。

【図 5】 本発明の第 2 実施形態であるDMAコントローラのブロック図である。

【図 6】 図 5 における各DMAチャンネルの回路構成を示す図である。

【図 7】 リロードモードを用いてDMA転送を行う場合に、CPUによってRAMに書き込まれる内容を説明するための図である。

【図 8】 図 6 におけるシーケンサの動作を説明するためのフローチャートである。

【図 9】 図 6 におけるシーケンサの動作を説明するためのフローチャートである。

【図 1 0】 図 6 におけるレジスタコントローラの動作を説明するためのフロ

ーチャートである。

【図 1 1】 図 6 におけるレジスタコントローラの動作を説明するためのフローチャートである。

【符号の説明】

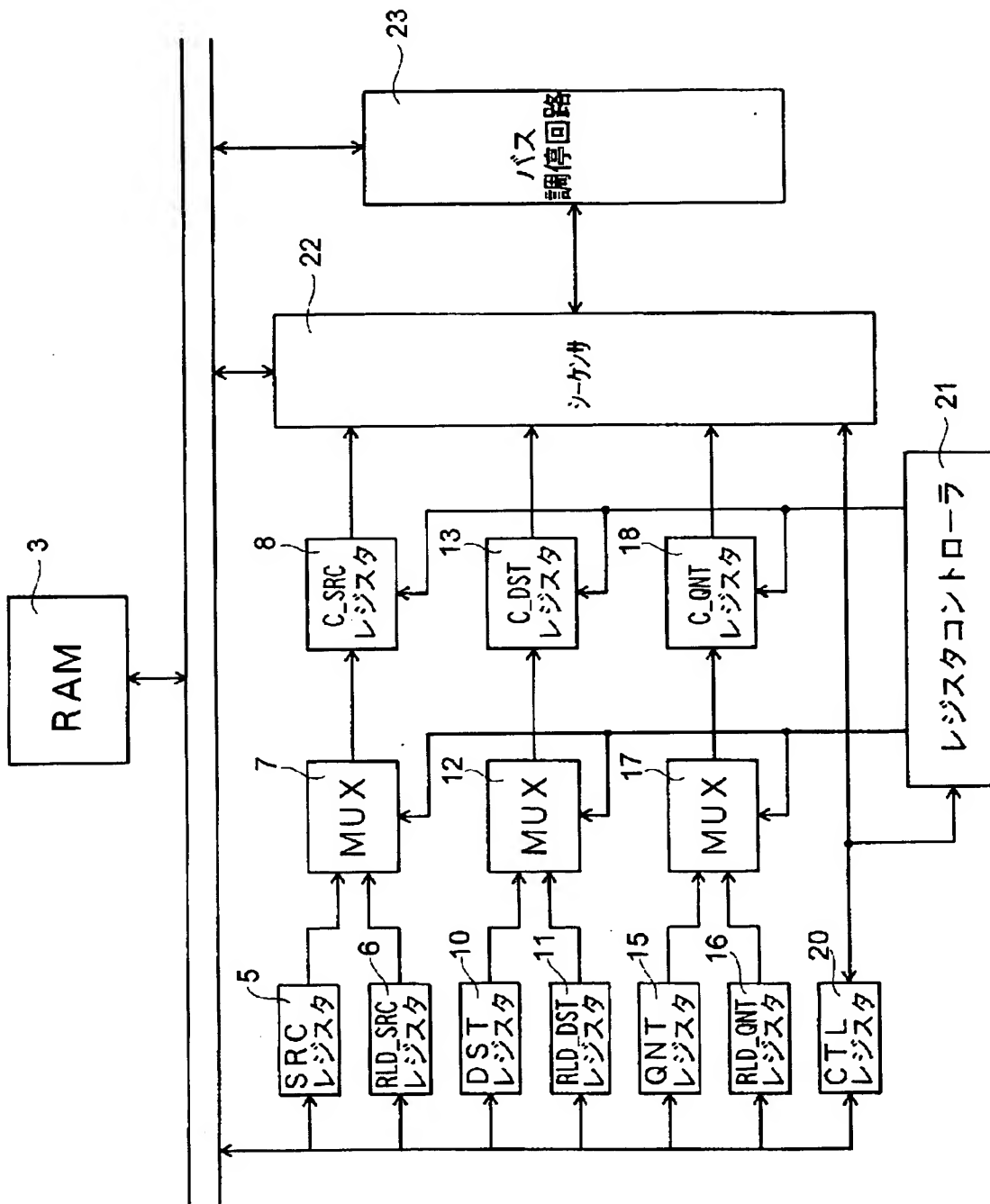
- 1 調停回路
- 2-1、2-2、2-3、2-4 DMAチャンネル
- 3 RAM
- 5 SRCレジスタ
- 6 RLD\_SRCレジスタ
- 7 マルチプレクサ
- 8 C\_SRCレジスタ
- 10 DSTレジスタ
- 11 RLD\_DSTレジスタ
- 12 マルチプレクサ
- 13 C\_DSTレジスタ
- 15 QNTレジスタ
- 16 RLD\_QNTレジスタ
- 17 マルチプレクサ
- 18 C\_QNTレジスタ
- 20 CTLレジスタ
- 21 レジスタコントローラ
- 22 シーケンサ
- 23 バス調停回路
- 201 シーケンサ
- 202 レジスタコントローラ
- 203 CTLレジスタ
- 204 SRCレジスタ
- 205 DSTレジスタ
- 206 CYCレジスタ

2 0 7	TRNレジスタ	
2 0 8	SETレジスタ	
2 0 9	SRCカウンタ	
2 1 0	DSTカウンタ	
2 1 1	TMP__CYCレジスタ	
2 1 2	CYCカウンタ	
2 1 3	TRNカウンタ	
2 1 4	CUR__SETレジスタ	
2 1 5	RLD__SRCレジスタ	
2 1 6	RLD__DSTレジスタ	
2 1 7	RLD__CYCレジスタ	
2 1 8	RLD__TRNレジスタ	
2 1 9	RLD__SETレジスタ	
2 2 0、2 2 1、2 2 2、2 2 3、2 2 4	マルチプレクサ	
3 0 0	システムバス	
4 0 0	RAM	

【書類名】

図面

【図 1】



【図 2】

アドレス(Hex)	値
1000	2000(Hex)
1001	SA1
1002	DA1
1003	BYTE1
1004	ENBビット=1、RLD_ENBビット=1
⋮	⋮
2000	任意
2001	SA2
2002	DA2
2003	BYTE2
2004	ENBビット=1、RLD_ENBビット=0

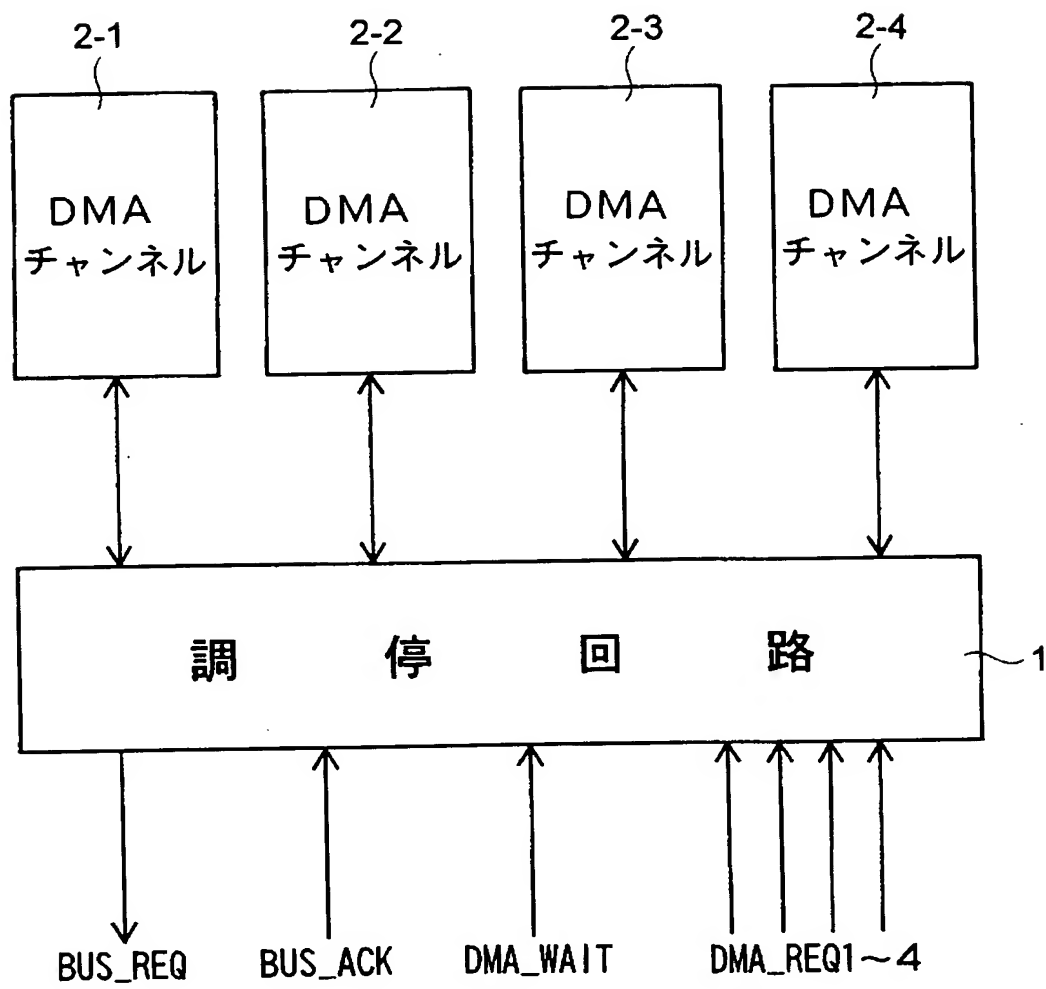
【図 3】

ENB ビット	RLD_ENB ビット	前の動作	マルチプレクサ7、12、及び、 17によって選択されるレジスタ	動作
0	Don't care	Don't care	Don't care	動作しない
1	0	Don't care	SRCレジスタ5 DSTレジスタ10 QNTレジスタ15	通常のDMA転送
1	1	通常のDMA転送	RLD_SRCレジスタ6 RLD_DSTレジスタ11 RLD_QNTレジスタ16	リロード
		リロード	SRCレジスタ5 DSTレジスタ10 QNTレジスタ15	通常のDMA転送

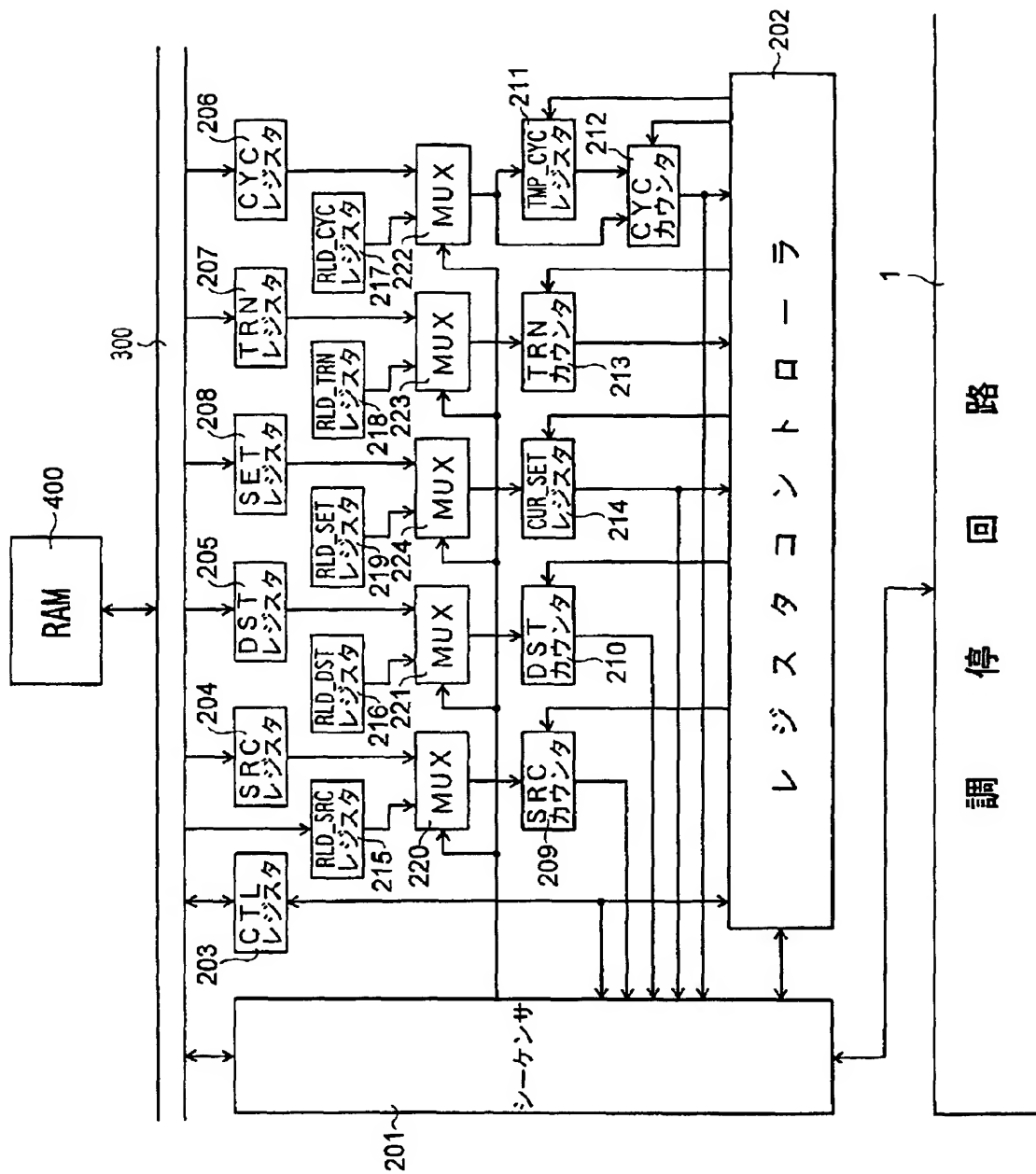
【図 4】

	(1)	(2)	(3)
SRレジスタ5	Don't care	SA1	SA2
RLD_SRCレジスタ6	1000(hex)	2000(hex)	Don't care
DSTレジスタ10	Don't care	DA1	DA2
RLD_DSTレジスタ11	RLD_SRCレジスタ6のアドレス	←	←
QNTレジスタ15	Don't care	BYTE1	BYTE2
RLD_QNTレジスタ16	5	←	←
CTLレジスタ20	ENBビット=1 RLD_ENBビット=1	ENBビット=1 RLD_ENBビット=1	ENBビット=1 RLD_ENBビット=0

【図 5】



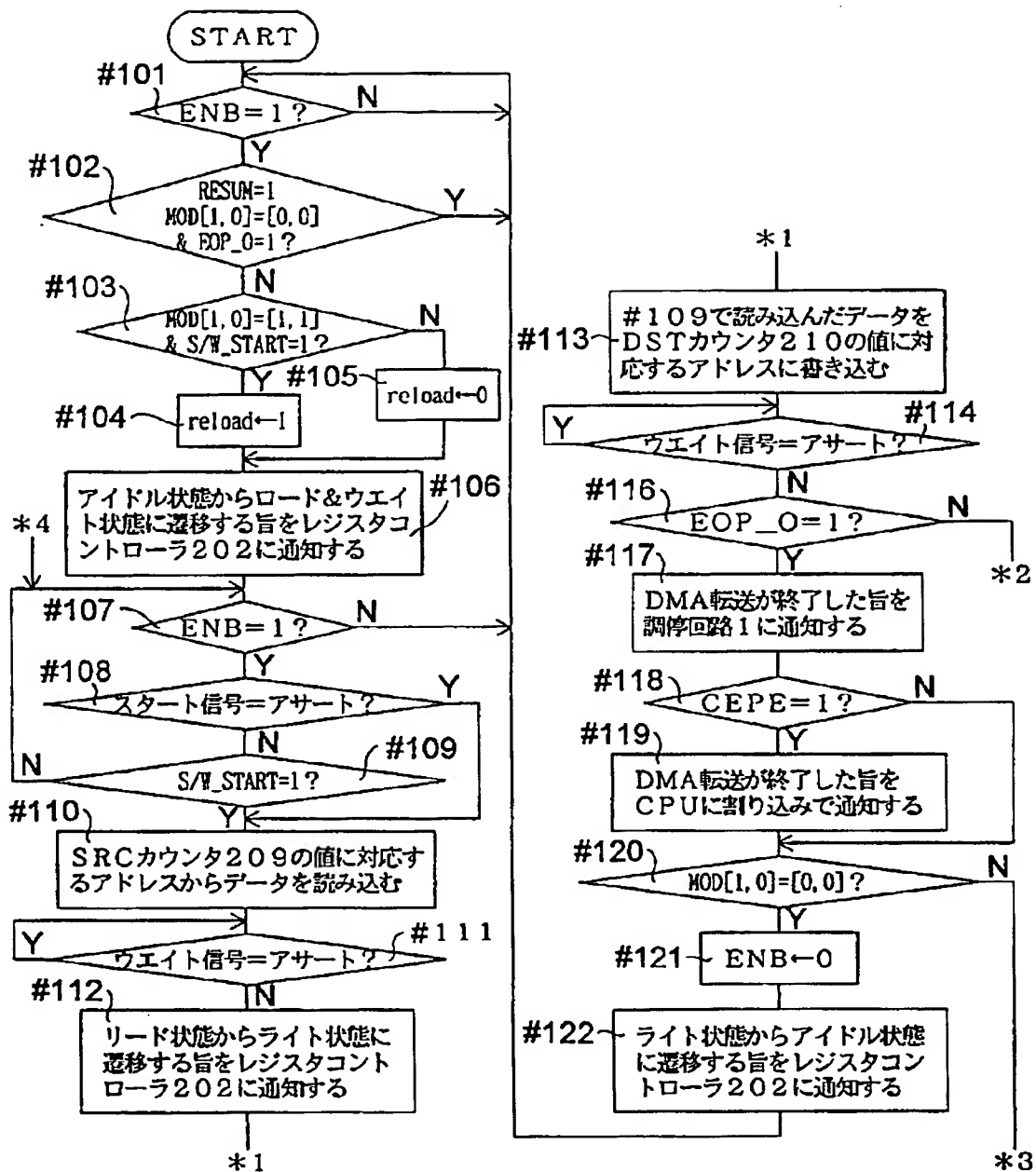
【図 6】



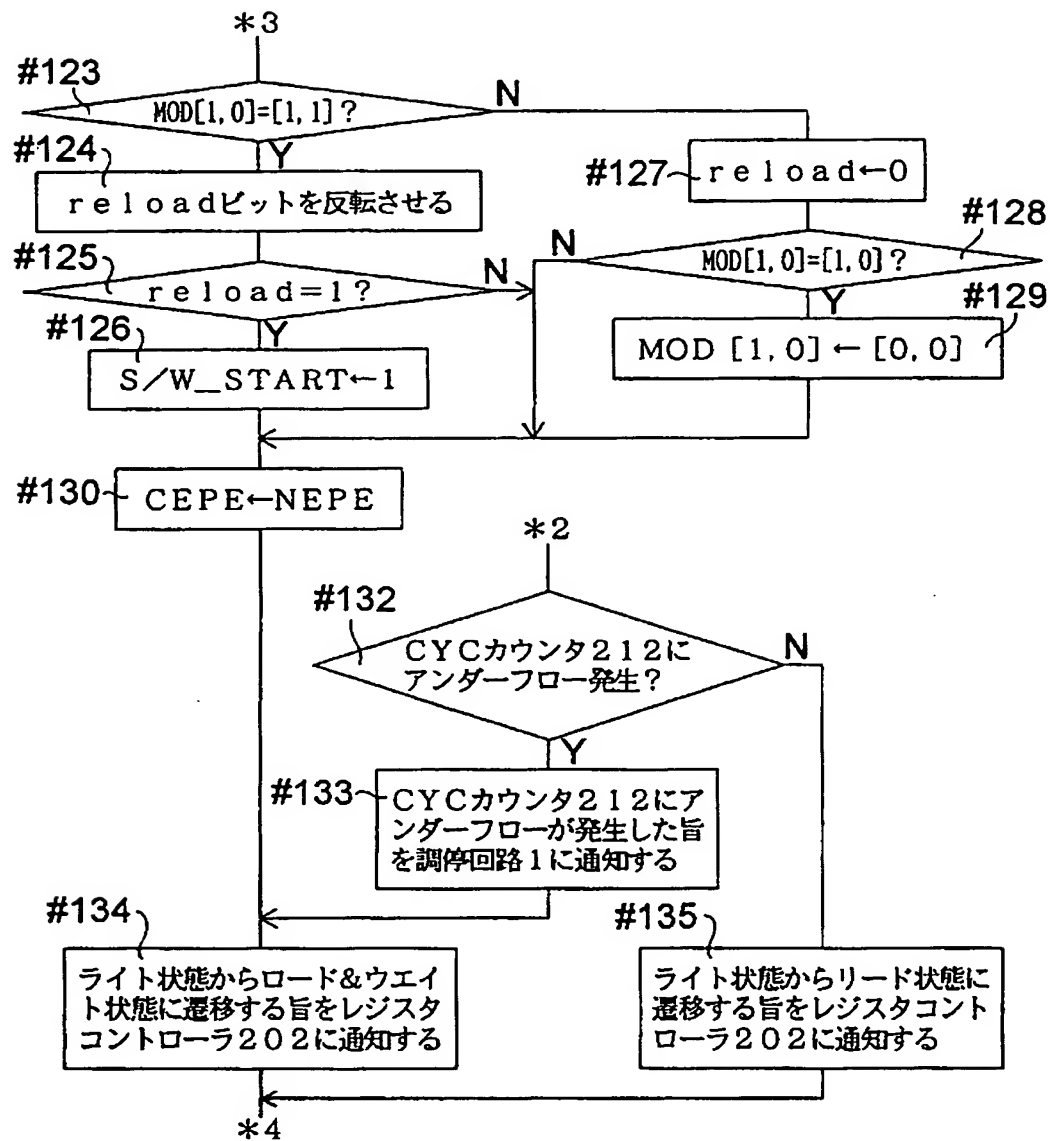
【図 7】

アドレス (Hex)	データの内容
⋮	⋮
20000000~20000003	2つ目のDMA転送に必要な情報が記憶されている RAM400の先頭のアドレス (20007774)
20000004~20000007	1つ目のDMA転送における 転送元の先頭のアドレスを示す情報
20000008~2000000B	1つ目のDMA転送における 転送先の先頭のアドレスを示す情報
2000000C~2000000D	1つ目のDMA転送において 1回のDMA転送で行うサイクル数を示す情報
2000000E~2000000F	1つ目のDMA転送において DMA転送を行う回数を示す情報
20000010~20000011	1つ目のDMA転送に関する他の情報
20000012	1つ目のDMA転送に関する制御情報 S/W_START=0 MOD [1, 0] = [1, 1]
⋮	⋮
20007774~20007777	3つ目のDMA転送に必要な情報が記憶されている RAM400の先頭のアドレス (Don't care.)
20007778~2000777B	2つ目のDMA転送における 転送元の先頭のアドレスを示す情報
2000777C~2000777F	2つ目のDMA転送における 転送先の先頭のアドレスを示す情報
20007780~20007781	2つ目のDMA転送において 1回のDMA転送で行うサイクル数を示す情報
20007782~20007783	2つ目のDMA転送において DMA転送を行う回数を示す情報
20007784~20007785	2つ目のDMA転送に関する他の情報
20007786	2つ目のDMA転送に関する制御情報 S/W_START=0 MOD [1, 0] = [1, 0]
⋮	⋮

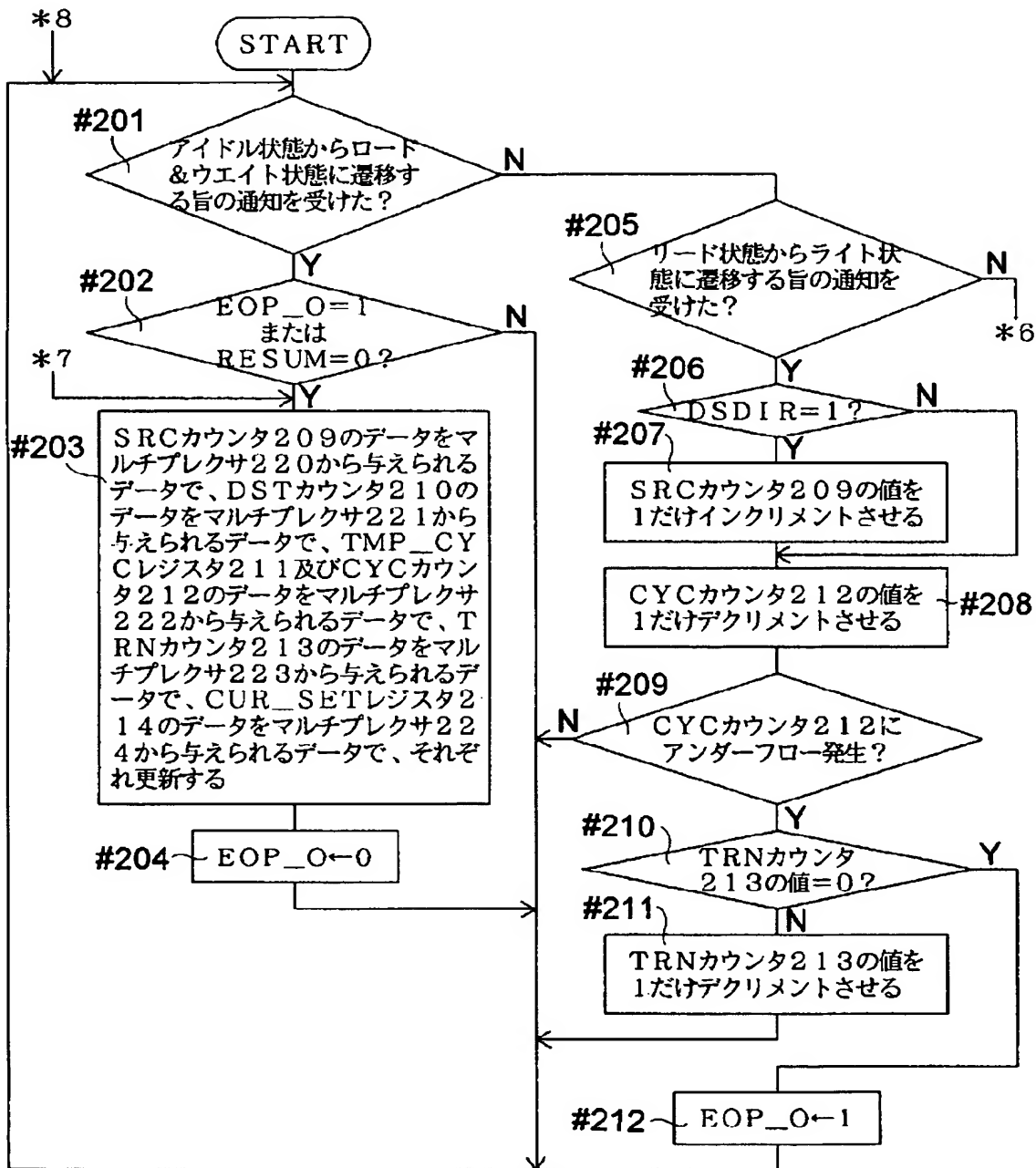
【図 8】



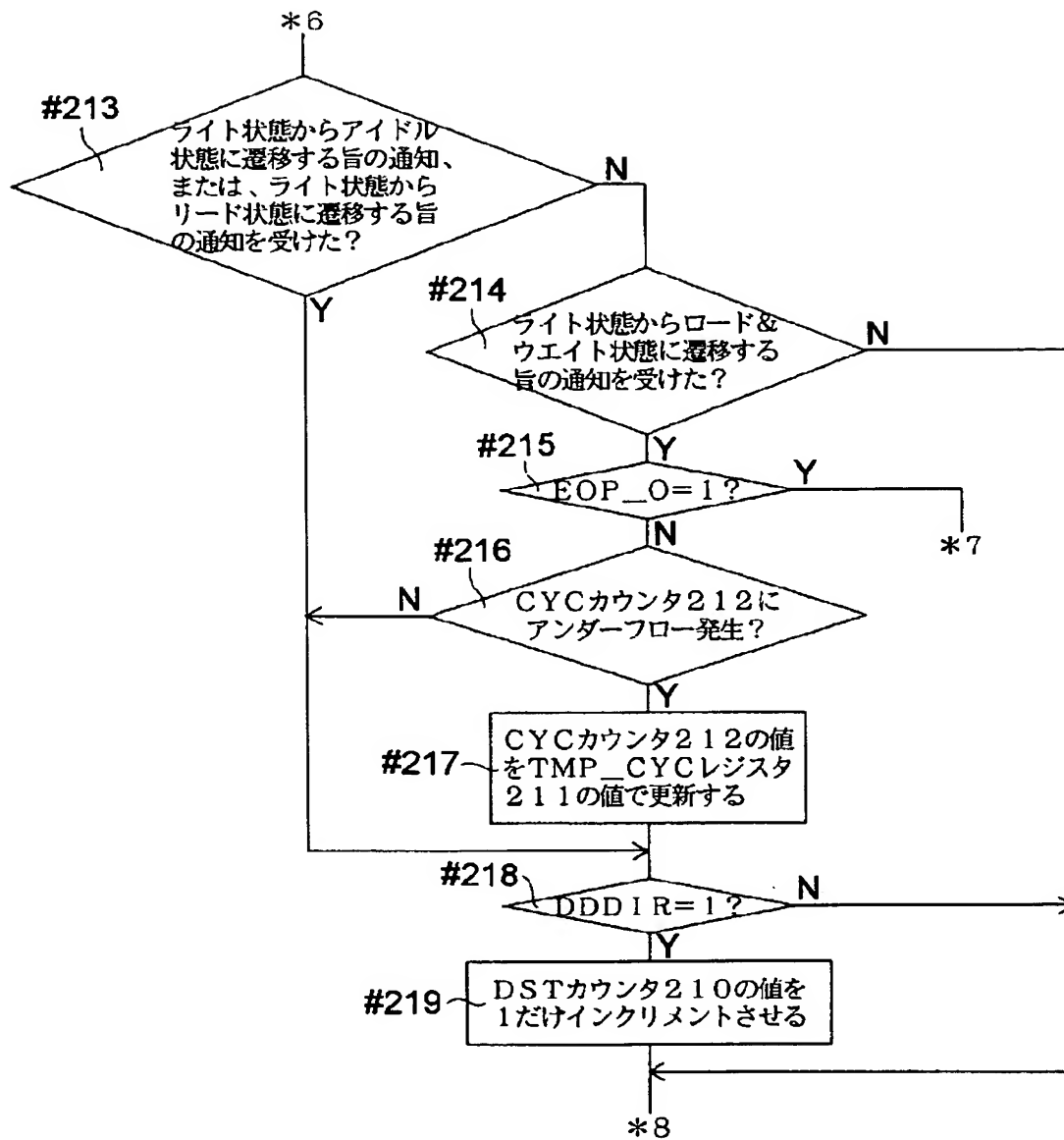
【図 9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 DMA転送の設定に割かれるCPUの処理時間を低減させることができるようにしたDMAコントローラを提供する。

【解決手段】 設定用レジスタ（204～208）と、動作用レジスタ（209～214）と、DMA転送の転送条件を外部の記憶手段から設定用レジスタ（204～208）にDMA転送するための転送条件を記憶している設定実行用レジスタ（215～219）と、設定用レジスタ（204～208）と設定実行用レジスタ（215～219）とを択一的に選択する選択手段（220～224）と、選択手段（220～224）によって選択されるレジスタがDMA転送が終了する毎に交互に切り替わるように制御する選択制御手段（201）と、DMA転送を開始するにあたって選択手段（220～224）によって選択されているレジスタに記憶されているデータが動作用レジスタ（209～214）に書き込まれるように制御する動作用レジスタ制御手段（202）と、動作用レジスタ（209～214）に記憶されているデータに基づいてDMA転送を実行する転送実行手段（201）と、を備える。

【選択図】 図6

特願 2 0 0 2 - 2 7 7 2 9 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 1 6 0 2 4 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社